

電圧印加型-電子ビーム吸収電流法による CMOSイメージセンサ解析への適用

Analysis Method for the CMOS Image Sensor by the Voltage Applied EBAC



ソニーセミコンダクタマニュファクチャリング株式会社

片倉 康雄, 辻田 順彦, 山内 規義, 河村 俊夫

要約:

半導体製造工程で発生する不良品を解析し原因究明及びフィードバックすることは製品早期立ち上げや歩留・品質向上において重要であり、解析部署には高い原因判明率が求められる。CMOSイメージセンサでは配線間 Short や Gate-Leak などいわゆる Short 系欠陥の判明率が低い傾向にあるため、現行手法より微小領域まで絞り込み可能な新たな解析技術を検討した。解決策として、EBAC 法 (電子ビーム吸収電流法) の派生技術であり、バイアス印加可能な“電圧印加型-電子ビーム吸収電流法”に着目。検証の結果 CMOSイメージセンサの解析に有効であることが分かったので報告する。

1. 序論

CMOSイメージセンサ製造プロセスは微細化・積層化が進み、様々な欠陥が増加している。このうち配線 Short や Gate-Leak などいわゆる Short 系欠陥の原因判明率が、断線などの Open 欠陥と比較して 20% 近く低い傾向にある。この理由を図1に示す。Open 欠陥は画像から欠陥アドレスが特定できるのに対し、Short 欠陥は同一ノード全体が画像表示されるためアドレスが絞れないという CMOSイメージセンサ特有の要因である。

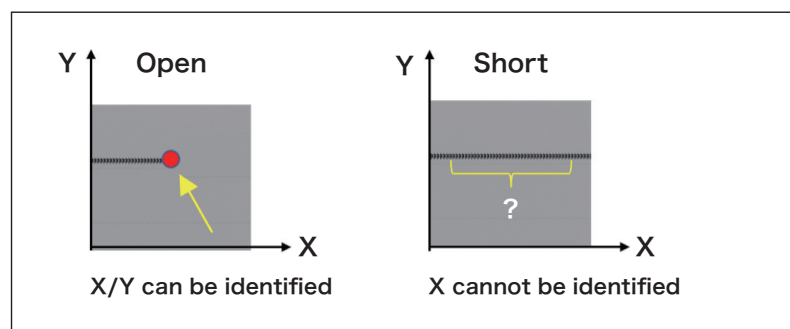


図1 Open/Short defect image on CMOS image sensor

現行の主な Short 解析手法は発熱 (Lock-In Thermal) や IR-OBIRCH など光・Laser を用いた解析技術であり、これらはデバイス全体を広範囲で絞り込みできる効果的な手段であるが、後述する要因により分解能が制限される。図2は CMOSイメージセンサの配線 Short 欠陥を写真 (a) L-Thermal, 写真 (b) IR-OBIRCH で解析した事例である。このように数百~数 μm までしか絞り込めないため、ここから欠陥箇所を特定するには広範囲の Delayer と平面観察が必要となり、判明率低下の一因となっている。このため新たな Short 解析手法構築が急務となっていた。

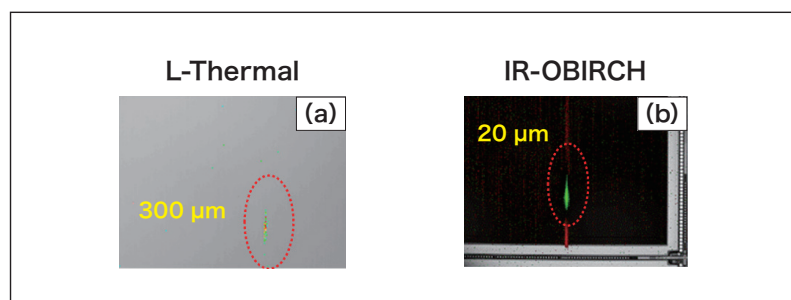


図2 Image of current optical analysis method

2. 新技術検討

2-1. 最適な光源選択

まず検討すべきは高い分解能の実現である。これには回折収差による Beam の広がり进行を考察しなければならない。前述光学解析の分解能は Rayleigh の理論より図3式(1)で表され、短い波長の入射光を選択することで回折収差が小さくなり分解能が向上する。よって解析装置に搭載される主な光源から光・Laser に加え電子線の波長を考察することにした。なお、式(1)で明らかなように集光角 θ を大きくすることでも分解能は向上するが、電子線は対物レンズの収差をゼロにできないため到達分解能が制限される。これを図4に示す。透過電子顕微鏡の分解能は球面収差係数と波長より式(2)で表され、この原理からも入射光の波長を短くすることが重要である。

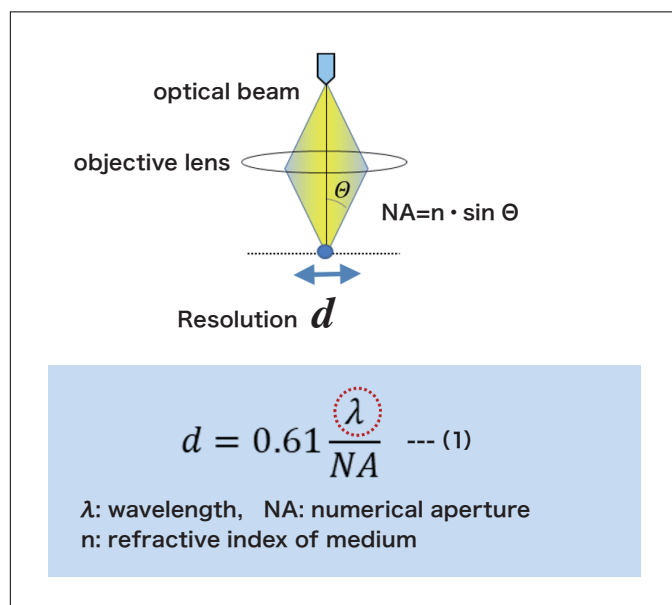


図3 Resolution of optical beam

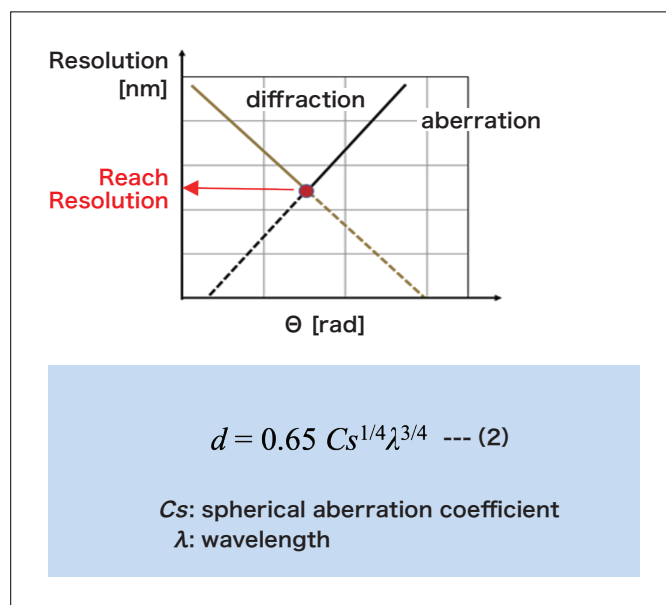


図4 Resolution of transmission electron microscope

光の波長、電子線の波長は各々式(3)、(4)より求められる。光は振動数、電子は加速電圧を変数とする式で近似できる。

| | | |
|---------------|--|---------|
| Optical Beam | $\lambda = \frac{C}{\nu}$ | --- (3) |
| | C: light speed, ν : frequency | |
| Electron Beam | $\lambda \approx \sqrt{\frac{1.5}{V_{acc}}}$ | --- (4) |
| | Vacc: accelerating voltage | |

図5は式4を用い、SEMの使用領域である加速電圧5～30 kVで計算した電子線波長である。このとき波長は0.2 nm～0.5 nmであり、発熱解析やIR-OBIRCHで使用する近赤外光と比較して大幅に波長を小さくできることが分かる。以上より分解能向上を見込んで電子線を使う技術を検討した。

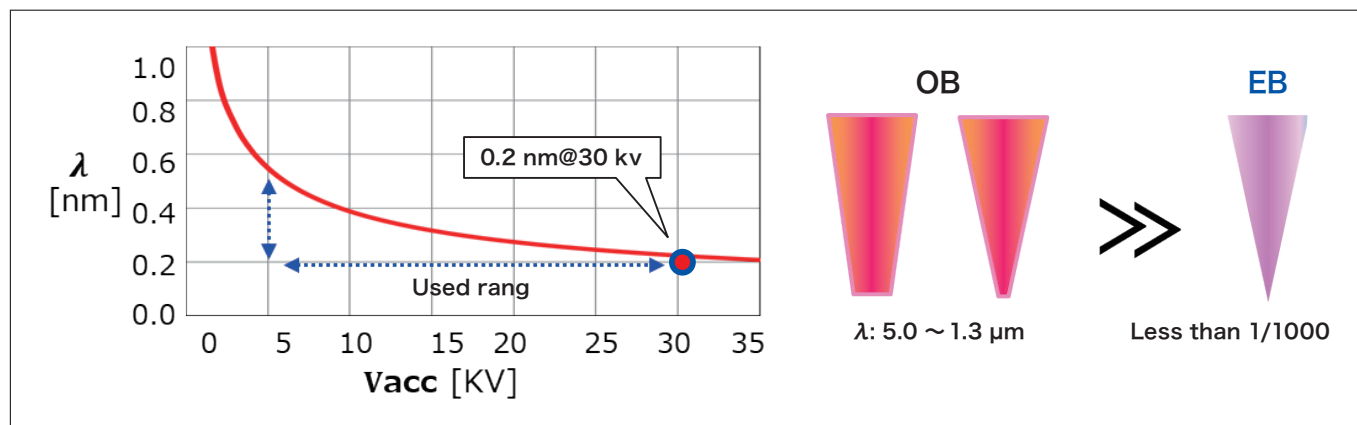


図5 Comparison between optical beam and electron beam

2-2. EBAC（電子ビーム吸収電流法）

電子線を使う技術として、Nano-ProberによるEBAC（電子ビーム吸収電流法）が知られている。電子線を試料に走査（SCAN）し、金属配線に吸収される電流（吸収電流）を検出する。Probing 経路が等電位にハイライトされるため配線経路の断線など Open 欠陥に有効な手法である。さらに電子線が Si 基板に照射されると電子-正孔対が生成されるため EBIC（電子線誘起電流）を検出することも可能である。

図6に EBAC の概要と事例を示す。

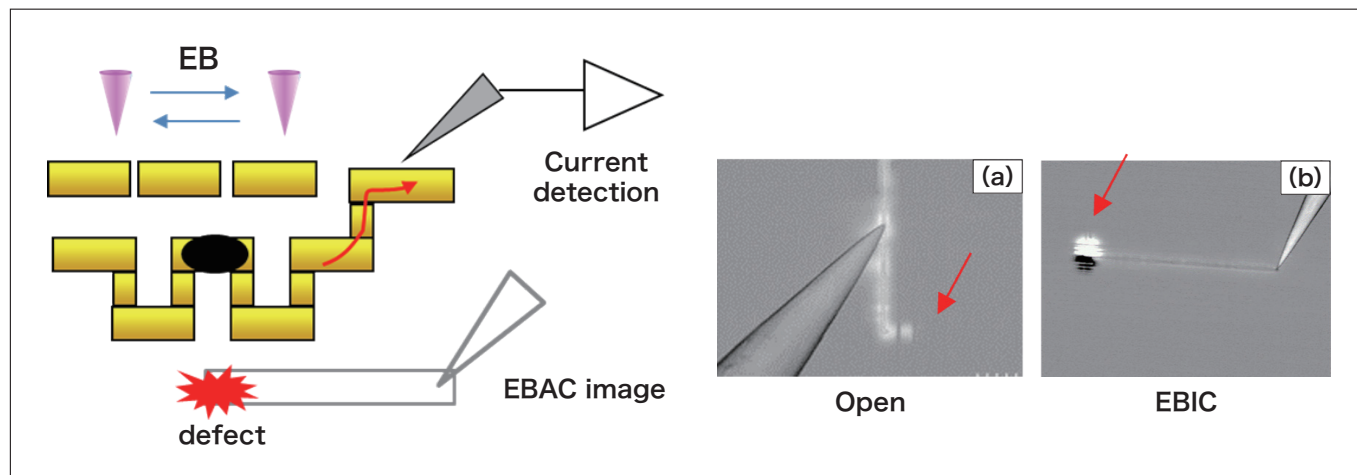


図6 EBAC overview and image

反面、EBAC は等電位経路を可視化する手法であるため Short 欠陥を絞り込むことは困難である。図7は EBAC による Short 不良解析事例である。写真(c)は配線 Layer, (d)は Tr-Layer の Short 不良であり、どちらも EBAC では Short 経路全体が反応してしまい、欠陥箇所判別が困難である。

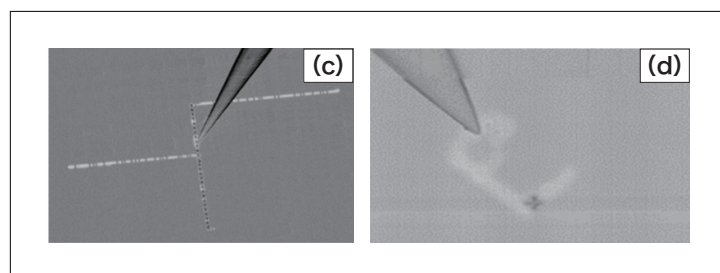


図7 Short analysis image by EBAC

図8に現行解析手法における絞り込み分解能と検出可能な抵抗値を示す。抵抗性欠陥を μm 以下に絞り込む領域が本評価のターゲットである。

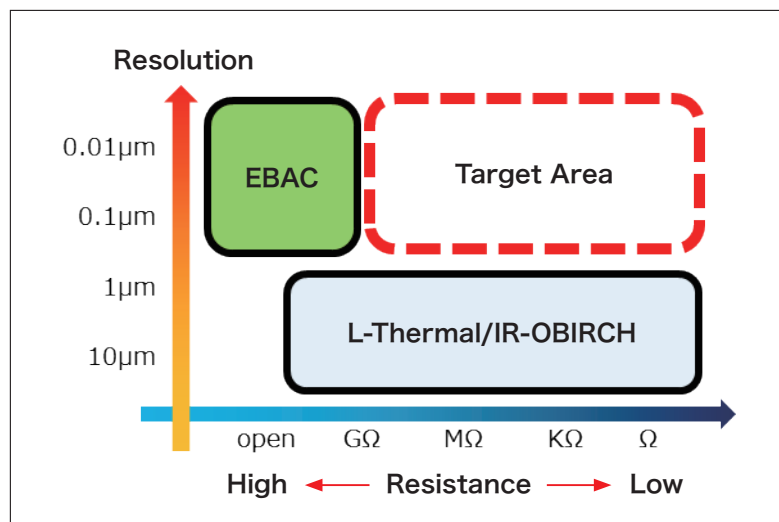


図8 Resolution and Defect resistance value

2-3. DI-EBAC (電圧印加型 EBAC)

解決策として、EBAC 法にバイアス印加可能な“電圧印加型電子ビーム吸収電流法”(以下 DI-EBAC)に着目した。理由はバイアス印加により Short 不良状態を確実に再現できること、かつ再現状態で EBAC することにより欠陥箇所の状態変化を電流変化としてより正確に捉えられると判断したからである。

図9に DI-EBAC の概要を示す。現行 EBAC にバイアス印加機能が追加されている。欠陥想定経路にバイアス印加した状態で EBAC と同様に電子線を走査する機構である。

反応原理は、電子線が試料に到達すると照射箇所には Castaing の理論より式(5)で算出される温度上昇が生じることが知られている。この温度変化により欠陥箇所に熱起電力・熱抵抗変化による電流変化が生じ、アンプで検出する。

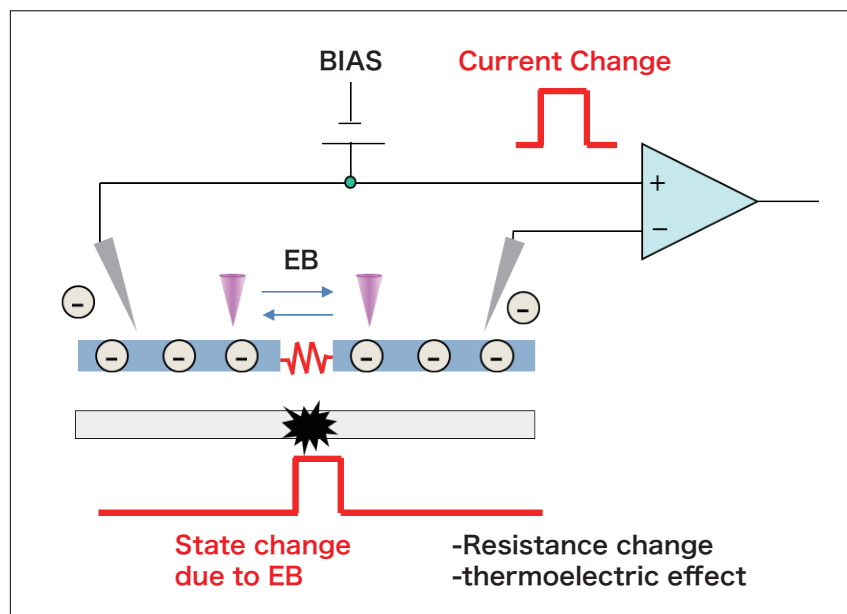


図9 Principle of DI-EBAC

$$\theta \text{ m}[^{\circ}\text{C}] = 477 \cdot I \cdot V / (C \cdot d) \quad \text{--- (5)}$$

I: 吸収電流 (μA), V: 加速電圧 (kV),
C: 熱伝導率 ($\text{W}/\text{m} \cdot \text{K}$), d: ビーム径 (μm)

DI-EBAC の有効性の検証として以下3項目が重要である。

- ① 分解能
- ② 透過性
- ③ 印加バイアスの影響

上記のうち、①分解能は既に2-1. で記述した通り電子線の集束で求められる。電子線は1 nm 以下に波長を小さくできるため光学解析より高分解能が期待できる。本評価のターゲットは、絞り込み後に断面解析できる領域、すなわち STEM 透過観察可能な0.2 μm 以下とした。

②透過性に関して、図10に EBAC の模式図と電子線広がり模様を示す。図示した欠陥を検出するには電子線が上層 Layer を透過して欠陥箇所に到達する必要がある。この電子線の潜りこみ特性は加速電圧と素材の原子密度に起因し、下記 Monte Carlo Simulation で求められる。加速電圧30 KV であれば Cuバルクでも数 μm まで潜り込むことが分かっており、CMOSイメージセンサが配線3～5層であることから下層 Layer まで十分到達可能と考えられる。

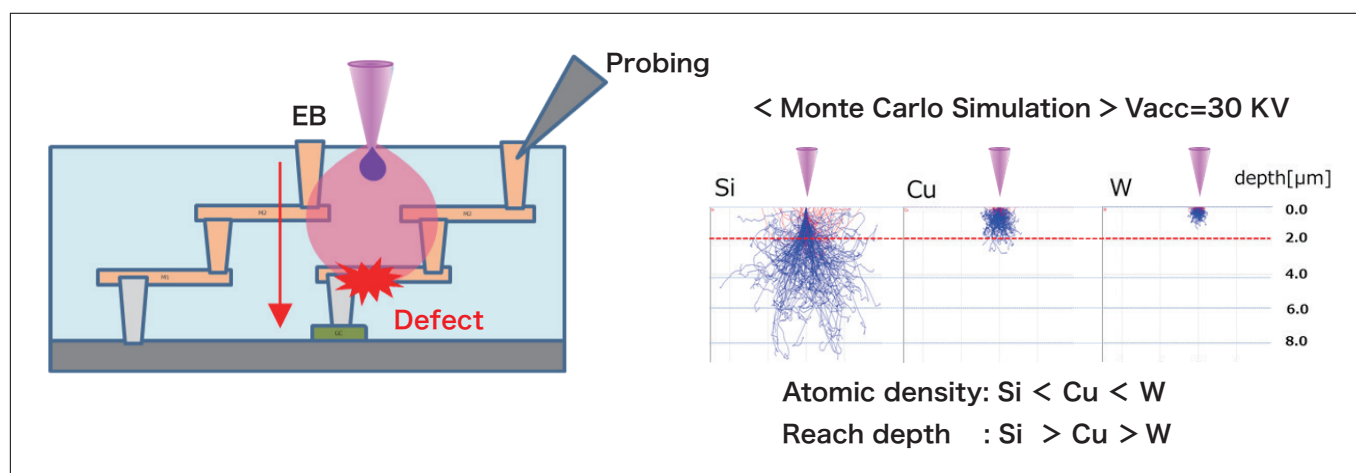


図10 Electron beam transmission characteristics

最後に③印加バイアスの影響であるが、EBAC 像が照射電子線によって構成されるため、印加する電流はノイズとなり感度に影響すると考えられる。

印加電流が感度に影響を与えない条件設定が重要と想定され、これらは照射光源が Laser である OBIRCH 法との大きな違いである。

以上より検証実験を行った。

3. 検証実験

3-1. Gate-Leak 不良による検証結果

図11は Gate 不良を用いた検証結果である。Gate 破壊が想定される SampleS1, S2 に対し、Gate 及び Sourceコンタクトを露出して Probing, バイアスを印加している。写真(a), (c)は S1, S2を各々現行 EBAC で測定した像であり、素子領域全体が反応してしまい明確に絞れていない。一方、写真(b), (d)は DI-EBAC 像であり、0.10～0.15 μm の局所反応が得られている。

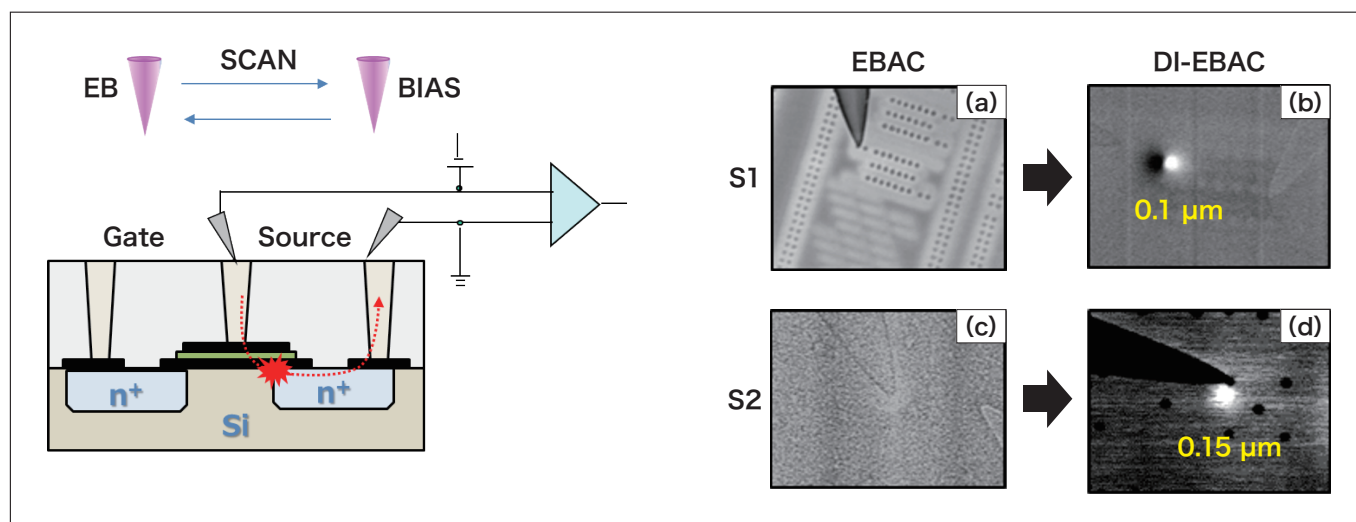


図11 DI-EBAC result for gate leak defect

さらに図12はS1のDI-EBAC反応箇所を断面解析した事例である。写真(f)のSTEM像ではWコンタクトとSi基板のShortが確認できる。電子線照射により異種素材 Short 箇所にゼーベック反応による熱起電力発生，電流変化として検出した結果である。以上よりDI-EBACは想定通りの高分解能を有し，Short 欠陥解析に有効と分かった。

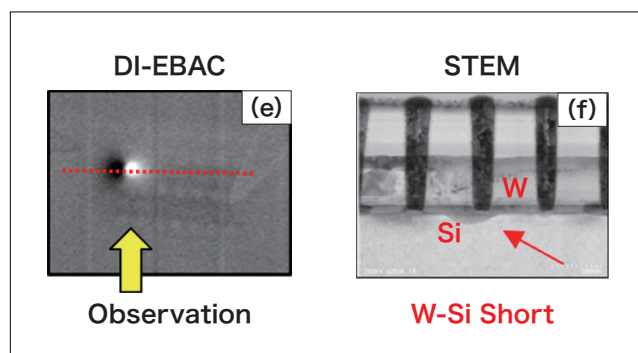


図12 Cross-sectional image of reaction part

3-2. 配線 Short 不良による検証結果

次に隣接配線間の Short 不良を用いた検証結果である。図13に示すように不良想定 Layer につながる配線を露出し Probing している。露出部は欠陥をロストしないようチップ端を部分開口している。写真(a)はDI-EBAC像であり，図示したように上層から4層目の欠陥を検出できており，この箇所には製造ラインの欠陥検査により複数配線にまたがる形成異常が確認されている(写真b)。さらに写真(c)は欠陥ではないが Probing 経路につながる Tr の EBIC 反応である。このように Si 基板からの電荷回り込みも確認できていることから，上層配線を透過して欠陥検出可能であることが裏付けられた。

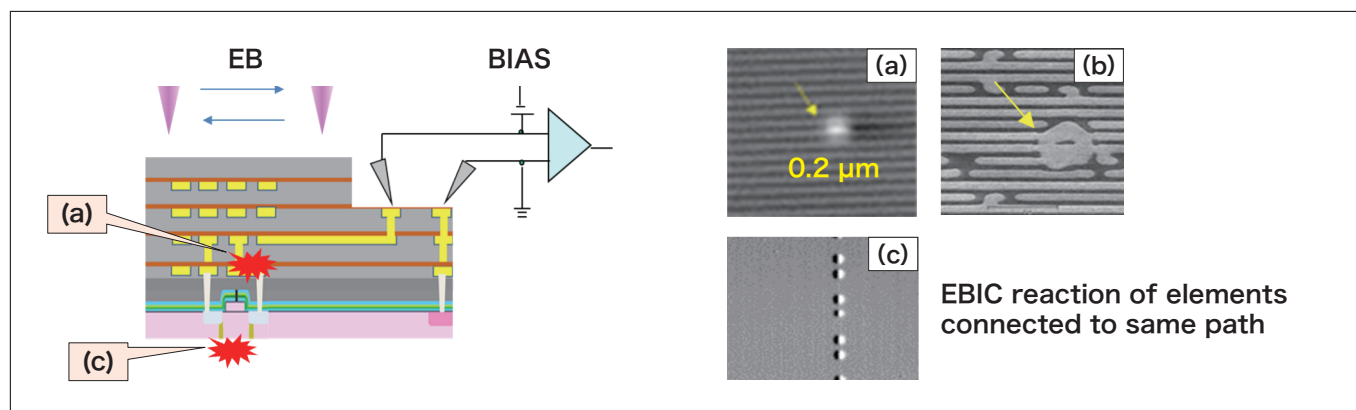


図13 DI-EBAC result for metal short defect

同様の検証方法で、抵抗値の異なる配線不良の測定結果を図14に示す。写真(d)から(f)にいくほど抵抗値が低い Sample であり、どれも明確に反応が得られている。とくに写真(f)は本評価で最も低い70 Ωの欠陥であり、DI-EBAC が高抵抗から低抵抗まで広い感度を持っていることが分かる。

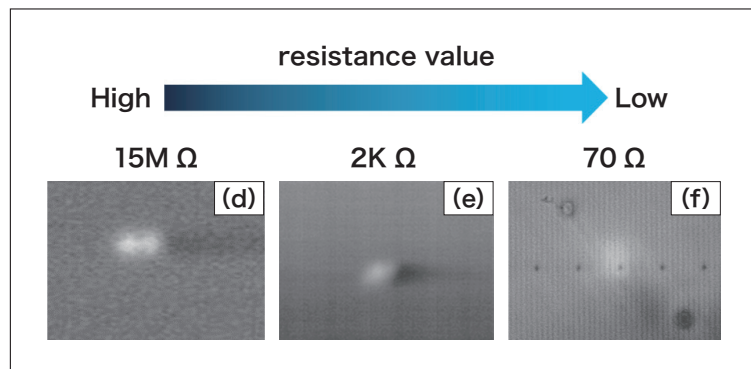


図14 DI-EBAC Image by defect resistance value

3-3. 印加バイアス依存性の検証結果

最後に試料に照射される電子線と印加バイアスの相互作用を検証した。まず電子線の照射条件であるが、試料に照射する電子線が大きいほど欠陥を活性するエネルギーが高いため装置 Spec 最大値30 μA に設定、この時試料表面に到達する電子線は実測値29 nA であった。この条件下で印加バイアスの電流値を変えながら各々 DI-EBAC を取得した。結果を図15に示す。印加電流ゼロでは無反応、写真(a)印加電流0.1 nA 前後より反応が得られ、写真(b)1 nA で最も明確な反応が得られた。ここからさらに印加電流を増やし続けると(c),(d)のように反応強度が低下、1 μA ではほぼ無反応になった。この様子を反応箇所の輝度比と印加電流として図16にプロットした。輝度比は試料表面の電荷チャージを考慮して反応箇所と周辺領域の輝度差を抽出している。結果は、印加電流が照射電子線より小さいと輝度比が高く、逆に印加電流が大きいと輝度比が低下した。印加電流がノイズになりS/N が低下して感度が下がるためと想定される。一方、印加電流を電子線より極端に大きく数百 μA 程度にすると写真(f)のように電流経路そのものがハイライトされた。電流が大きくなるほど磁場の影響で照射電子線の向きが変わり Probe より検出されたためと考えられ、印加電流の大きさで局所反応から電流経路全体に反応メカニズムが変わることが判明した。

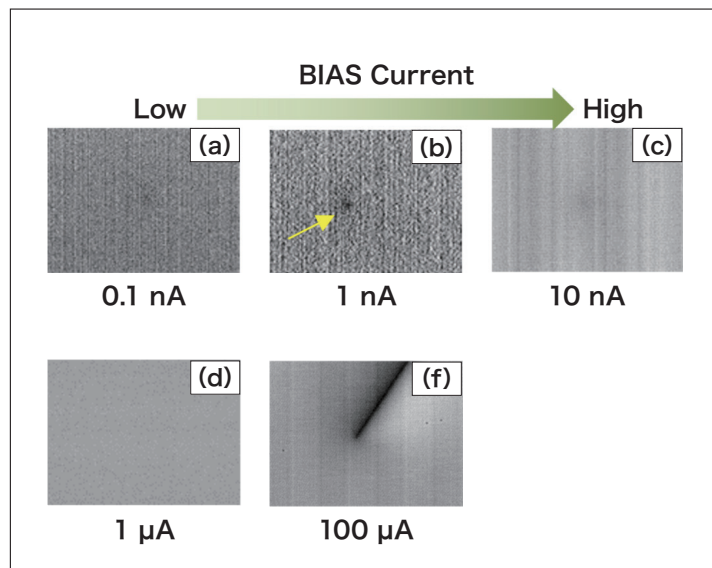


図15 DI-EBAC Image by applied current

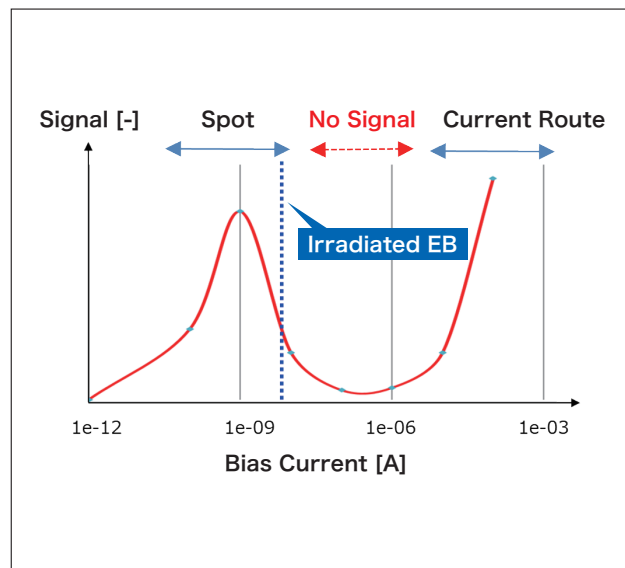


図16 EBAC Signal and Applied current

上述結果より、印加バイアスは照射電子線を考慮して適切にチューニングすることが重要であると分かった。図17は同じ Sample に対し印加電流を変えて測定した DI-EBAC と SEM の重ね合わせ画像である。印加電流1 nA 時は写真(h)のような局所反応が得られ、100 μA では写真(i)のような電流経路全体の反応が得られている。このように印加電流を使い分けることで二つのデータを容易に取得できることは欠陥箇所絞り込みに非常に有効な情報となる。

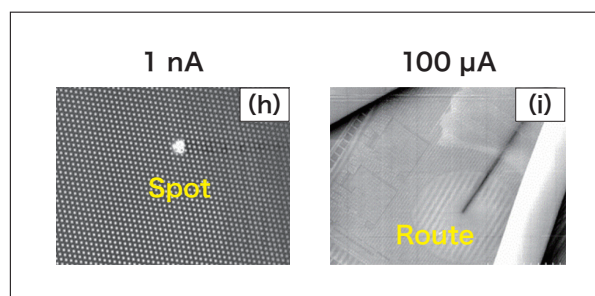


図17 Difference in reaction mode depending on applied current

4. まとめ

本検証結果より DI-EBAC は以下のメリットを有し、CMOSイメージセンサ解析に有効な技術であることが分かった。

- 1) 0.2μm 以下の高い分解能
- 2) 下層 Layer への高い透過性
- 3) 印加電流による検出モード使い分け
- 4) G Ω～数十Ωの広レンジな検出感度

測定時には印加電流が検出感度へ影響をおよぼすため、装置条件を加味した適切な電流設定がポイントである。

電流印加による正確な不良再現性、電子線 Stimulation による高分解能と透過性を併せ持ち、現行手法と併用することで Open 欠陥から Short 欠陥まで漏れなく対応できる解析環境を構築できる。

参考文献

- 1) J. Fuse, *et al.*, "Short failure analysis by optimized voltage-applied EBAC", The 38th NANO Testing Symposium, (NANOTS2018), 19–20 Nov. 2018, pp.164–169.
- 2) K. Nikawa, "OBIRCH (Optical Beam Induce Resistance Change) Overview", The 37th NANO Testing Symposium, (NANOTS2017), 8–10 Nov. 2017, pp.117–122.
- 3) H. Katsumata, *et al.*, "Localization Technique for Short Failure Analysis Using Voltage Applied EBAC", The 36th NANO Testing Symposium, (NANOTS2016), 9–11 Nov. 2016, pp.257–262.
- 4) 横山浩, 秋永広幸, 電子線リソグラフィ教本, オーム社 (2007).
- 5) 高橋秀幸, EPMA/SEM における試料損傷について, 表面科学, Vol. 25, No. 4, pp. 224–231 (2004).
- 6) 今野豊彦, 物質からの回折と結像, 共立出版 (2003).
- 7) 図 1-17 : © NANO Testing Symposium, (NANOTS2020), Y. Katakura, *et al.*, "Analysis method for the CMOS image sensor by the voltage applied EBAC", The 40th NANO Testing Symposium, (NANOTS2020), 16–18 Nov. 2020, pp.98–103.

著者紹介

片倉 康雄, 辻田 順彦, 山内 規義, 河村 俊夫
ソニーセミコンダクタマニュファクチャリング株式会社